БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ

ИНФОРМАТИКИ и РАДИОЭЛЕКТРОНИКИ

Факультет КСиС

Кафедра ЭВМ ФКСиС

Контроль и диагностика средств вычислительной техники

Лабораторная работа № 1

Синтез комбинационной схемы

и построение теста контроля

Вариант № 19

Ст. гр. 450501 Преподаватель:

Худовец Д.В. доцент каф. ЭВМ ФКСиС

Золоторевич Л. А.

Минск

2018

**1 Исходная функция:**

Таблица 1 – Таблица истинности

| X4 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| X3 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| X2 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| X1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| Y | **0** | **1** | **0** | **1** | **0** | **1** | **0** | **1** | **1** | **1** | **0** | **0** | **0** | **1** | **0** | **0** |

**2 Минимизация функции методом Карт Карно**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| X1X2  X3X4 | 00 | 01 | 11 | 10 |
| 00 | 0 | 0 | 1 | 1 |
| 01 | 0 | 0 | 1 | 1 |
| 11 | 0 | 0 | 0 | 1 |
| 10 | 0 | 0 | 1 | 1 |

**3 Преобразование функции для реализации в базисе Шеффера**

**(И-НЕ):**

**4 Преобразование функции для реализации в базисе Вебба (ИЛИ-НЕ):**

**5 Построение тестов контроля схемы, выполненной в базисе Вебба**

5.1 Неисправность const 0 на первичном входе X4. Для данной неисправности найдены тестовые наборы {1111} (см. рисунок 5.1).



Рисунок 5.1 – Построение теста для неисправности «const 0 на первичном входе X4»методом очувствления одномерного пути (выделен красным)

5.2 Неисправность const1 на первичном входе X4. Для данной неисправности найден тестовый набор {1110} (см. рисунок 5.2).



Рисунок 5.2 – Построение теста для неисправности «const 1 на первичном входе X4»методом очувствления одномерного пути (выделен красным)

5.3 Неисправность const0 на первичном входе X3 . Для данной неисправности найдены тестовые наборы{1111}(см. рисунок 5.3).



Рисунок 5.3 – Построение теста для неисправности «const 0 на первичном входе X3»методом очувствления одномерного пути (выделен красным)

5.4 Неисправность const1 на первичном входе X3 . Для данной неисправности найдены тестовые наборы{1101} (см. рисунок 5.4).



Рисунок 5.4 – Построение теста для неисправности «const 1 на первичном входе X3»методом очувствления одномерного пути (выделен красным)

5.5 Неисправность const0 на первичном входе X2 . Для данной неисправности найдены тестовые наборы{1111} (см. рисунок 5.5).



Рисунок 5.5 – Построение теста для неисправности «const 0 на первичном входе X2»методом очувствления одномерного пути (выделен красным)

5.6 Неисправность const1 на первичном входе X2 . Для данной неисправности найдены тестовые наборы{1011} (см. рисунок 5.6).



Рисунок 5.6 – Построение теста для неисправности «const 1 на первичном входе X2»методом очувствления одномерного пути (выделен красным)

5.7 Неисправность const0 на первичном входе X1. Для данной неисправности найдены тестовые наборы{1011} (см. рисунок 5.7).



Рисунок 5.7 – Построение теста для неисправности «const 0 на первичном входе X1»методом очувствления одномерного пути (выделен красным)

5.8 Неисправность const1 на первичном входе X1. Для данной неисправности найдены тестовые наборы{0011} (см. рисунок 5.8).



Рисунок 5.8 – Построение теста для неисправности «const1 на первичном входе X1»методом очувствления одномерного пути (выделен красным)

5.9.1 Неисправность const0 на выходе элемента А1. Для данной неисправности найдены тестовые наборы{0011} (см. рисунок 5.9.1).



Рисунок 5.9 – Построение теста для неисправности «const0 на выходе элемента А1»методом очувствления одномерного пути (выделен красным)

5.9.2 Неисправность const0 на выходе элемента А1. Для данной неисправности найдены тестовые наборы{0101} (см. рисунок 5.9.2).



Рисунок 5.9.2 – Построение теста для неисправности «const0 на выходе элемента А1»методом очувствления одномерного пути (выделен красным)

5.9.3 Неисправность const0 на выходе элемента А1. Для данной неисправности найдены тестовые наборы{0110} (см. рисунок 5.9.3).



Рисунок 5.9.3 – Построение теста для неисправности «const0 на выходе элемента А1»методом очувствления одномерного пути (выделен красным)

5.10.1 Неисправность const1 на выходе элемента А1. Для данной неисправности найдены тестовые наборы{1011} (см. рисунок 5.10.1).



Рисунок 5.10.1 – Построение теста для неисправности «const1 на выходе элемента А1»методом очувствления одномерного пути (выделен красным)

5.10.2 Неисправность const1 на выходе элемента А1. Для данной неисправности найдены тестовые наборы{1101} (см. рисунок 5.10.2).



Рисунок 5.10.2 – Построение теста для неисправности «const1 на выходе элемента А1»методом очувствления одномерного пути (выделен красным)

5.10.3 Неисправность const1 на выходе элемента А1. Для данной неисправности найдены тестовые наборы{1110} (см. рисунок 5.10.3).



Рисунок 5.10.3 – Построение теста для неисправности «const1 на выходе элемента А1»методом очувствления одномерного пути (выделен красным)

5.11 Неисправность const0 на выходе элемента B1. Для данной неисправности найдены тестовые наборы{1110} (см. рисунок 5.11).



Рисунок 5.11 – Построение теста для неисправности «const1 на выходе элемента B1»методом очувствления одномерного пути (выделен красным)

5.12 Неисправность const1 на выходе элемента B1. Для данной неисправности найдены тестовые наборы{1111,0000,0010,0100,0110,0001,0011,0101,0111} (см. рисунок 5.12).



Рисунок 5.12 – Построение теста для неисправности «const1 на выходе элемента B1»методом очувствления одномерного пути (выделен красным)

5.13 Неисправность const0 на выходе элемента B2. Для данной неисправности найдены тестовые наборы{1101} (см. рисунок 5.13).



Рисунок 5.13 – Построение теста для неисправности «const0 на выходе элемента B2»методом очувствления одномерного пути (выделен красным)

5.14 Неисправность const1 на выходе элемента B2. Для данной неисправности найдены тестовые наборы{1111,0000,0001,0100,0101,0010,0011,0110,0111} (см. рисунок 5.14).



Рисунок 5.14 – Построение теста для неисправности «const1 на выходе элемента B2»методом очувствления одномерного пути (выделен красным)

5.15 Неисправность const0 на выходе элемента В3. Для данной неисправности найдены тестовые наборы{1011} (см. рисунок 5.15).



Рисунок 5.15 – Построение теста для неисправности «const0 на выходе элемента В3»методом очувствления одномерного пути (выделен красным)

5.16 Неисправность const1 на выходе элемента В3. Для данной неисправности найдены тестовые наборы{1111,0000,0001,0010,0011,0100,0101,0110,0011}(см. рисунок 5.16).



Рисунок 5.16 – Построение теста для неисправности «const1 на выходе элемента В3»методом очувствления одномерного пути (выделен красным)

5.17 Неисправность const0 на выходе элемента C1. Для данной неисправности найдены тестовые наборы{0111,1111,0000,0001,0010,0011,0100,0101,0110,0111} (см. рисунок 5.21).



Рисунок 5.20 – Построение теста для неисправности «const0 на выходе элемента C1»методом очувствления одномерного пути (выделен красным)

5.18 Неисправность const1 на выходе элемента C1. Для данной неисправности найдены тестовые наборы{1000,1010,1100,1110,1001,1101,1001,1011} (см. рисунок 5.22).



Рисунок 5.22 – Построение теста для неисправности «const1 на выходе элемента C1»методом очувствления одномерного пути (выделен красным)

5.19 Неисправность const0 на выходе элемента D1. Для данной неисправности найдены тестовые наборы{1000,1010,1100,1110,1001,1101,1001,1011} (см. рисунок 5.23).



Рисунок 5.23 – Построение теста для неисправности «const0 на выходе элемента D1»методом очувствления одномерного пути (выделен красным)

5.20 Неисправность const1 на выходе элемента D1. Для данной неисправности найдены тестовые наборы{0111,1111,0000,0001,0010,0011,0100,0101,0110,0111}(см. рисунок 5.24).



Рисунок 5.24 – Построение теста для неисправности «const1 на выходе элемента D1»методом очувствления одномерного пути (выделен красным)

**6 Формируем таблицу функций неисправностей (таблица 2).**

**Решаем задачу нахождения минимального строкового покрытия.**

Таблица 2- Таблица функций неисправностей (столбцы-неисправности константного типа, строки – тестовые наборы)

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 9 | 9 | 10 | 10 | 10 | 11 | 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 | 20 |
| 0000 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 1 |  | 1 |  | 1 | 1 |  |  | 1 |
| 0001 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 1 |  | 1 |  | 1 | 1 |  |  | 1 |
| 0010 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 1 |  | 1 |  | 1 | 1 |  |  | 1 |
| 0011 |  |  |  |  |  |  |  | 1 | 1 |  |  |  |  |  |  | 1 |  | 1 |  | 1 | 1 |  |  | 1 |
| 0100 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 1 |  | 1 |  | 1 | 1 |  |  | 1 |
| 0101 |  |  |  |  |  |  |  |  |  | 1 |  |  |  |  |  | 1 |  | 1 |  | 1 | 1 |  |  | 1 |
| 0110 |  |  |  |  |  |  |  |  |  |  | 1 |  |  |  |  | 1 |  | 1 |  | 1 | 1 |  |  | 1 |
| 0111 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 1 |  | 1 |  | 1 | 1 |  |  | 1 |
| 1000 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 1 | 1 |  |
| 1001 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 1 | 1 |  |
| 1010 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 1 | 1 |  |
| 1011 |  |  |  |  |  | 1 | 1 |  |  |  |  | 1 |  |  |  |  |  |  | 1 |  |  | 1 | 1 |  |
| 1100 |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  | 1 | 1 |  |
| 1101 |  |  |  | 1 |  |  |  |  |  |  |  |  | 1 |  |  |  | 1 |  |  |  |  | 1 | 1 |  |
| 1110 |  | 1 |  |  |  |  |  |  |  |  |  |  |  | 1 | 1 |  |  |  |  |  |  | 1 | 1 |  |
| 1111 | 1 |  | 1 |  | 1 |  |  |  |  |  |  |  |  |  |  | 1 |  | 1 |  | 1 | 1 |  |  | 1 |

**7 Тестовая последовательность {0011,0101,0110,1011,1101,1110,1111}**

**8 Описание структурной схемы в программной системе VLSI-SIM**

Circuit Lab1;

inputs X1(1), X2(1), X3(1), X4(1);

outputs D1(1);

GATES

A1 'NOR'(1) X1(1);

B1 'NOR'(1) X4(1), A1(1);

B2 'NOR'(1) X3(1), A1(1);

B3 'NOR'(1) X2(1), A1(1);

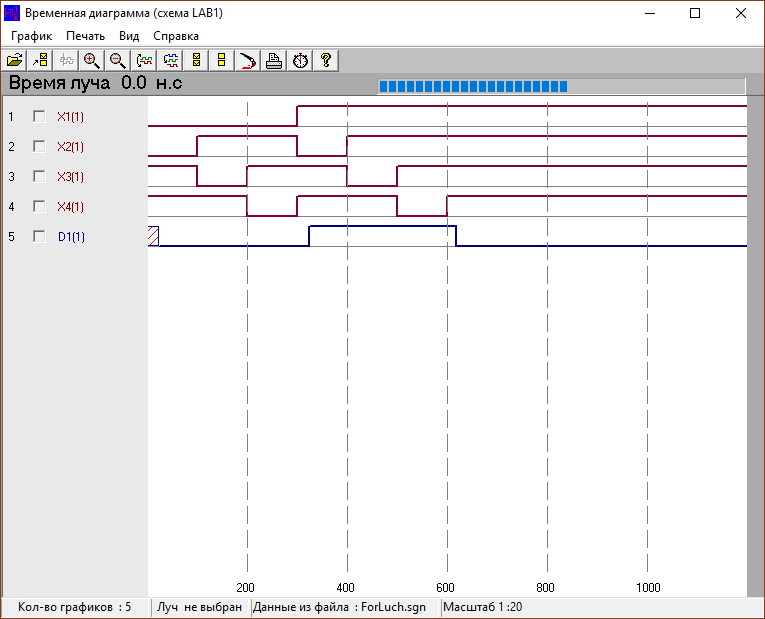
C1 'NOR'(1) B1(1), B2(1), B3(1);

D1 'NOR'(1) C1(1);

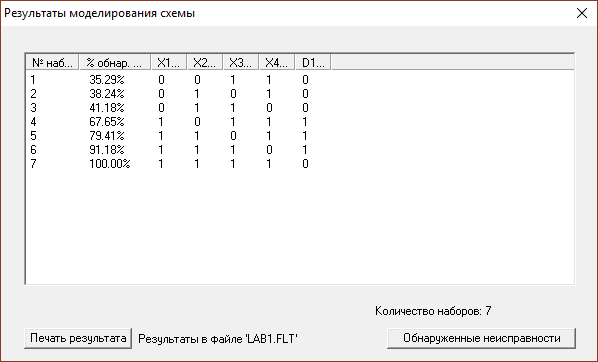
ENDGATES

END

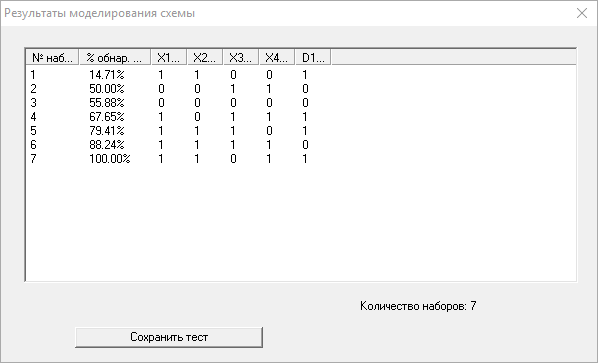
**9 Результаты моделирования в программной системе VLSI-SIM (функция SCA-TIME)**



**9 Результаты моделирования неисправностей в программной системе VLSI-SIM (функция SCA-FAULT)**



**10 Автоматическое построение теста в программной системе VLSI-SIM (функция SCA-GENER)**



**11 Описание структурной схемы, реализованной в базисе Шеффера, в программной системе VLSI-SIM**

circuitSheffer;

inputs X1(1),X2(1),X3(1),X4(1);

outputs C1(1);

GATES

A1 'NAND'(1) X4(1);

B1 'NAND'(1) A1(1), X1(1);

B2 'NAND'(1) X2(1), X3(1);

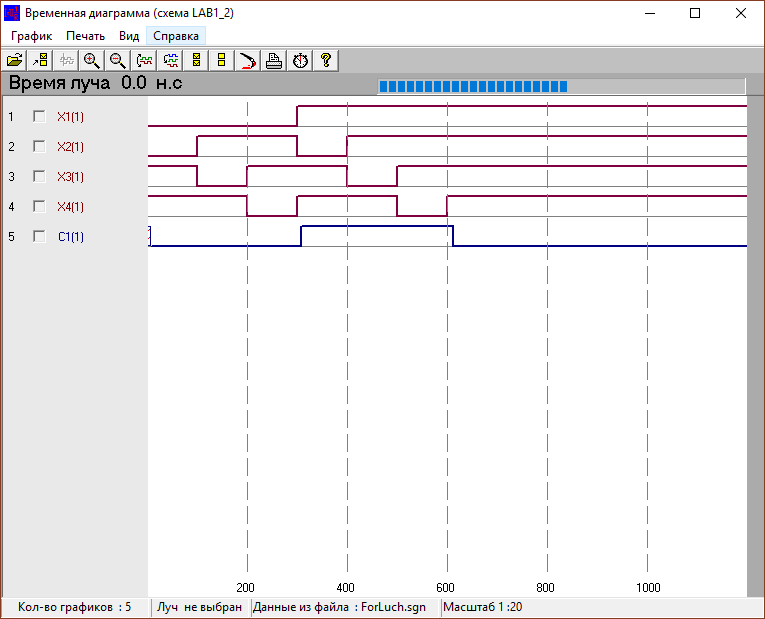
B3 'NAND'(1) A1(1), X3(1);

C1 'NAND'(1) B1(1), B2(1), B3(1);

ENDGATES

END

**12 Моделирование схемы**



**13 Сравнение результатов моделирования**

Результаты динамического моделирования схем в разных технологических базисах в данном случае совпали. Это значит, что в схемах критических состязаний сигналов не выявлено.

**ВЫВОДЫ:**

Метод очувствления одномерного пути обеспечил построение теста контроля со 100 % покрытием неисправностей константного типа, что подтверждено программной генерацией теста и анализом полноты теста в системе VLSI-SIM.